

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-079625**

(43)Date of publication of application : **13.04.1987**

(51)Int.Cl.

**H01L 21/306**

(21)Application number : **60-219261**

(71)Applicant : **OKI ELECTRIC IND CO LTD**

(22)Date of filing : **03.10.1985**

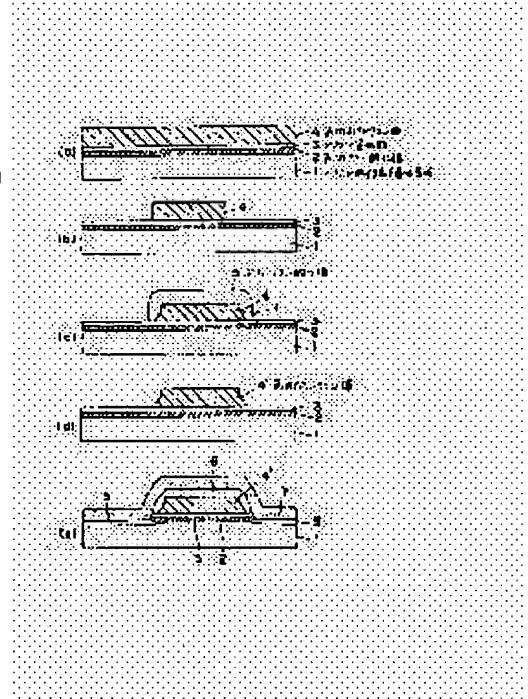
(72)Inventor : **KURACHI IKUO**

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To make the side of a polysilicon pattern a tapered surface uniformly within a wafer and between the wafers by making the surface layer of the polysilicon pattern formed on the nitride film on a semiconductor substrate an insulator by oxidization at a low temperature.

**CONSTITUTION:** The first gate oxide film 2 is formed on a semiconductor substrate 1 and a thin silicon nitride film 3 is formed on the film 2. The first polysilicon film 4 which is to be made an electrode is formed on the film 3 and an impurity is introduced in high concentration. Then, the first gate electrode and the film 4 except where is to be made a wiring are etched and a pattern is formed. Then, a polysilicon oxide film 5 is formed by oxidizing the film 4 at a comparatively low-temperature. Since the film 5 is formed by comparatively low-temperature oxidization, it is thin at the region shown by (a') in the figure and the side of residual polysilicon is tapered. Then, the film 5 is totally removed and the first polysilicon film 4' which has the side of a tapered surface can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

## ⑫ 公開特許公報 (A) 昭62-79625

⑬ Int. Cl. 4

H 01 L 21/306

識別記号

厅内整理番号

⑭ 公開 昭和62年(1987)4月13日

Q-8223-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭60-219261

⑰ 出願 昭60(1985)10月3日

⑮ 発明者 倉知 郁生 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑯ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑰ 代理人 弁理士 菊池 弘

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

- (a) 半導体基板上に塗化膜を形成する工程と、
- (b) その塗化膜上にポリシリコンパターンを形成する工程と、
- (c) そのポリシリコンパターンの表面を低温焼成により絶縁物とすることにより、残存ポリシリコンの側面をテーパーとする工程と、
- (d) その後、前記絶縁物を除去する工程とを具備してなる半導体装置の製造方法。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は半導体装置の製造方法に関し、詳しくは、ポリシリコンのテーパー側面の形成方法に関するものである。

## (従来の技術)

従来、ポリシリコンの側面をテーパーとするには、一例として昭和60年春、第32回応用物理

学関係連合講演会講演予稿集 P 337, 30a-K-5 で示されるように、ポリシリコンの上にノンドープのCVD酸化膜を形成した後、ホトレジストバターニングを行い、酸化膜のウエットエッティングでアンダーカットを生じさせ、ドライエッティングでポリシリコンをエッティングすることで、ポリシリコン側面をテーパーのついた形状にしていた。このテーパーにより、2層目のポリシリコンやAl配線のエッティング時のエッティング通りを低減させていた。

## (発明が解決しようとする問題点)

しかしながら、上記方法では、ポリシリコン上のCVD酸化膜のウエハ内の膜厚や、CVD酸化膜を除去するウエットエッティングに使用するエッティング液のエッティングレートにポリシリコンのテーパー角が大きく依存するため、均一なテーパー角にポリシリコンを形成することが難しいという問題点があつた。

この発明は上記の点に鑑みをされたもので、その目的は、ウエハ内およびウエハ間で均一性よく

しかも簡単な方法でボリシリコンパターンの側面をテープーとすることにある。

### (問題点を解決するための手段)

この発明では、半導体基板上に塗化膜を形成し、その塗化膜上にポリシリコンパターンを形成した後、そのポリシリコンパターンの表層を低温酸化により絶縁物とし、その後、この絶縁物を除去する。

### ( 作 用 )

密化膜上に形成されたポリシリコンパターンの表層を低温酸化により絶縁物とすると、この絶縁物は、ポリシリコンパターンの残存ポリシリコンの側面がテーパーとなるように形成される。したがつて、次に、前記絶縁物を除去することにより、残存ポリシリコンからなる、側面がテーパー面のポリシリコンパターンが得られることになる。

### ( 实 施 例 )

以下この発明の一実施例を第1図を参照して説明する。第1図(a)ないし第1図(e)は、この発明を、高濃度不純物を含む多層ポリシリコン構造のMOS

トをマスクとしてエッティングし、ホトレジストを除去し、パターンを形成する。

次いで、パターン形成を行つた第1のポリシリコン膜4を、比較的低温の酸化、例えば800～850℃程度の酸化で、約1500～2500Å酸化膜が形成される酸化条件で酸化することにより、第1図(c)に示すように、その第1のポリシリコン膜4の表面部にポリシリコン酸化膜5(絶縁物)を形成する。この時、第1のポリシリコン膜4以外のところでは、シリコン塗化膜3で覆われているので酸化されない。また、前記ポリシリコン酸化膜5は、比較的低温の酸化で形成されているので、図中イで示される部分(シリコン塗化膜3と接する部分)においては薄くなり、その結果として、第1のポリシリコン膜4の残存ポリシリコンの側面にテーパーがつく。

次に、第1図(d)に示すように、ポリシリコン酸化膜5を緩衝HFで全面除去する。これにより、残存ポリシリコンからなる、側面がテープ一面の第1のポリシリコン膜4'が得られる。この時、ボ

半導体装置の製造方法に適用した場合の工程を説明する断面図である。

まず、第1図(a)において、1はシリコン単結晶半導体基板(以下、基板と略称する)であり、この基板1上に熱酸化によって第1のゲート酸化膜2を形成し、さらに、第1のゲートの容量を大きくするため、高誘電体である薄いシリコン塗化膜3を形成する。その後、第1のゲートの絶縁耐圧を向上させるため、シリコン塗化膜3を、10～30Åの酸化膜が形成される条件で酸化してもよい。第1のゲート膜である前記第1のゲート酸化膜2とシリコン塗化膜3上に電極となる第1のポリシリコン膜4を形成し、この第1のポリシリコン膜4に導電性をもたせ且つ低抵抗にするため、リンなどの不純物を熱拡散法あるいはイオン注入法を用いて $3 \times 10^{20} \text{ cm}^{-3} \sim 6 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度に導入する。

次に、第1図(b)に示すように、第1のゲート電極および配線となる部分以外の第1のポリシリコン膜4をホトリソグラフィ技術によりホトレジス

シリコン酸化膜5以外の部分は、シリコン窒化膜3で覆われていて、窒化膜が酸HF(エチヤント)に対してエッティングされずらいので、殆どエッティングされない。

次いで、第1図(e)に示すように、第1のポリシリコン膜4'をマスクとして、第1のゲート膜であるシリコン酸化膜3と第1のゲート酸化膜2をエッチングする。その後、900℃～1000℃の酸化を行うことにより、基板1上に第2のゲート酸化膜5、第1のポリシリコン膜4'上に層間絶縁膜6を形成する。この時、基板1上の第2のゲート酸化膜5が200～400Å厚に形成されるのに対して、第1のポリシリコン膜4'上の層間絶縁膜6は600～1200Å厚に形成される。またこの酸化は、900～1000℃と比較的高温なので、均一に第1のポリシリコン膜4'上に層間絶縁膜6が形成される。

その後、第2の電極となる第2のポリシリコン膜7を堆積させるとともに、不純物の導入、ホトリソ技術によるパターン形成を行う。この時、図

にも示しているように、第1のポリシリコン膜4'の側面にテーパーがついているので、第2のポリシリコン膜7をエッティングした時のエッティング強度を減少させることが可能となる。

しかる後、図には示していないが拡散層、中間絶縁膜、配線用金属パターンおよび保護用酸化膜を公知の技術により形成し、MOS半導体装置を完成する。

### (発明の効果)

以上詳細に説明したように、この発明の方法によれば、空化膜上に形成されたポリシリコンパターンの低温酸化と、それにより形成された絶縁物の除去という簡単な方法で、ポリシリコンパターンの側面をテーパーとすることができます。また、この方法によれば、ウエハ内およびウエハ間で均一性よくポリシリコンパターン側面をテーパー面とすることができます。

#### 4. 図面の簡単な説明

(圖面)

第1図はこの発明の半導体装置の製造方法の一

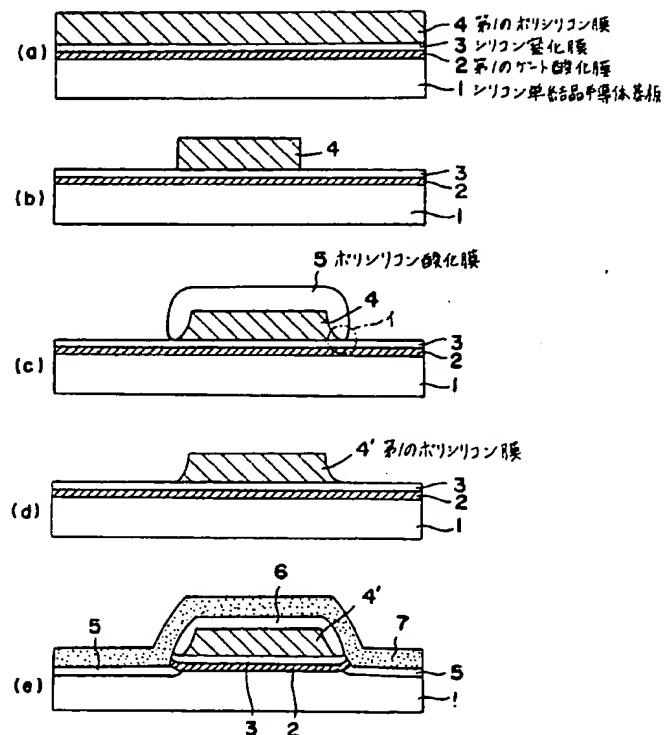
実施例を示す工程断面図である。

1 …シリコン単結晶半導体基板、2…第1のゲート酸化膜、3…シリコン窒化膜、4、4'…第1のポリシリコン膜、5…ポリシリコン酸化膜。

特許出願人 沖電気工業株式会社

代理人 卉理士 菊 池

弘



本発明-実施例の工程断面図  
第 1 図